

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 04 月 25 日
Application Date

申 請 案 號：092109653
Application No.

申 請 人：日月光半導體製造股份有限公司
Applicant(s)

局 長

Director General

發文日期：西元 2004 年 3 月 23 日
Issue Date

發文字號：09320275850
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|-------------------|-----------------------|--|
| 一 發明名稱 | 中文 | 多晶片封裝體 |
| | 英文 | MULTI-CHIPS PACKAGE |
| 二 發明人 (共1人) | 姓名 (中文) | 1. 王盟仁 |
| | 姓名 (英文) | 1. Wang, Meng-Jen |
| | 國籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (中 文) | 1. 屏東市和平路68號 |
| | 住居所 (英 文) | 1. No. 68, Heping Rd., Pingtung City, Pingtung, Taiwan 900, R.O.C. |
| 三 申請人 (共1人) | 名稱或 姓名 (中文) | 1. 日月光半導體製造股份有限公司 |
| | 名稱或 姓名 (英文) | 1. Advanced Semiconductor Engineering, Inc. |
| | 國籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中 文) | 1. 811高雄市楠梓加工區經三路26號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. 26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshung, Taiwan, R.O.C. |
| | 代表人 (中文) | 1. 張虔生 |
| | 代表人 (英文) | 1. Chang, Jason |



四、中文發明摘要 (發明名稱：多晶片封裝體)

一種多晶片封裝體，至少包含一載板、一第一晶片、一第二晶片、一加勁凸塊與複數個導電凸塊。第一晶片係藉複數個導電凸塊覆晶接合於載板之上表面，而第二晶片係容置於載板之開口中，且與第一晶片覆晶接合。其中，加勁凸塊係設置於第一晶片與載板間，用以加強第一晶片與載板間之接合強度，故能藉由加勁凸塊限制載板與第一晶片間之熱形變，以避免連接第一晶片與載板之導電凸塊之破壞。

五、(一)、本案代表圖為：圖2

(二)、本案代表圖之元件代表符號簡單說明：

210 第一晶片

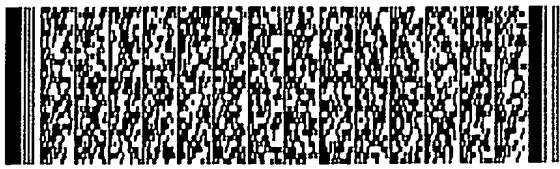
212 第一晶片主動表面

220 載板

222 開口

六、英文發明摘要 (發明名稱：MULTI-CHIPS PACKAGE)

A multi-chips package at least comprises a carrier, a first die, a second die, a reinforced bump and a plurality of conductive bumps. The first chip is flip-chip bonded to the upper surface of the carrier and the second is accommodated in the opening to flip-chip bonded to the first chip. The reinforced bump is mounted onto the active surface of the first chip and connected the carrier so as

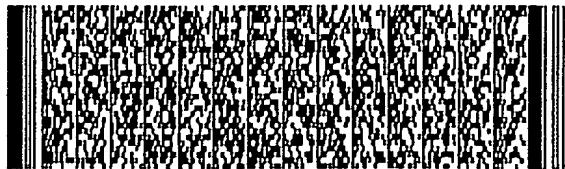


四、中文發明摘要 (發明名稱：多晶片封裝體)

- 224 載板上表面
- 226 載板下表面
- 228 錐球
- 230 第二晶片
- 240 加勁凸塊
- 250 第一導電凸塊
- 260 第二導電凸塊
- 280 底膠

六、英文發明摘要 (發明名稱：MULTI-CHIPS PACKAGE)

to improve the joint strength between the first chip and the carrier. In such manner, the reinforced bump will restrain the thermal deformation of the carrier and the second die so as to prevent the conductive bumps connecting the first die and the carrier from being damaged.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

(一)、【發明所屬之技術領域】

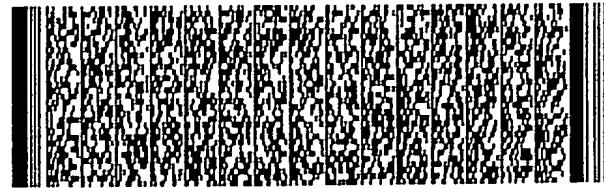
本發明是有关於一種多晶片封裝體，特別是有关於一種能夠防止連接晶片與載板間凸塊破壞之多晶片封裝體。

(二)、【先前技術】

隨著微小化以及高運作速度需求的增加，多晶片封裝體在許多電子裝置越來越吸引人。多晶片封裝體可藉由將兩個或兩個以上之晶片組合在單一封裝體中，來提升系統之運作速度。此外，多晶片封裝體可減少晶片間連接線路之長度而降低訊號延遲以及存取時間。

最常見的多晶片封裝體為並排式(side-by-side)多晶片封裝體，其係將兩個以上之晶片彼此並排地安裝於一共同載板之主要安裝面。晶片與共同載板上導電線路間之連接一般係藉由打線法(wire bonding)達成。然而該並排式多晶片封裝體之缺點為封裝效率太低，因為該共同載板之面積會隨著晶片數目的增加而增加。

因此半導體業界開發出一多晶片封裝體之設計（參照圖1），其特徵在於提供一第一晶片110覆晶接合於一具有一開口122之載板120上表面124，再將一第二晶片130容置於載板120之開口122中，並與上述之第一晶片110覆晶接合。一般而言，第一晶片110與第二晶片130可分別為記憶晶片及邏輯晶片，如此可將第一晶片110與第二晶片130之訊號於封裝體內先行整合後，再經由載板120下表面126之錨球128與外界電性連接。如此之封裝體設計不僅能減少封



五、發明說明 (2)

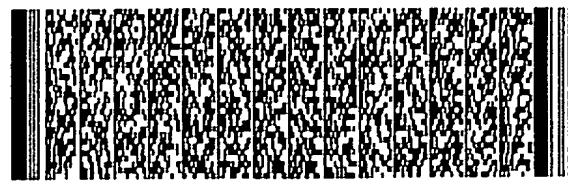
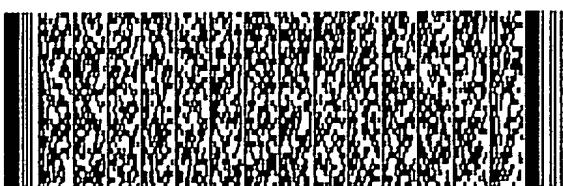
裝體之厚度，更可提升晶片之運算及傳輸效能。然而，由於第一晶片110與載板120間係以導電凸塊160電性連接，而載板120之熱膨脹係數(約為 16×10^{-6} ppm/ °C)遠大於第一晶片110之熱膨脹係數(約為 4×10^{-6} ppm/ °C)，故封裝體進行相關測試或進行運作時，常因為熱膨脹係數不匹配(CTE mismatch)之效應，造成連接第一晶片110與載板120間導電凸塊160之破壞。

有鑑於此，為避免前述多晶片堆疊封裝體之缺點，以提升多晶片堆疊封裝體中之晶片效能，實為一重要的課題。

(三)、【發明內容】

有鑑於上述課題，本發明之目的係提供一種多晶片封裝體，其係於載板上之晶片主動面設置一加勁凸塊，以加強該晶片與載板間之接合強度，故能藉由加勁凸塊限制載板與第該晶片間之熱形變，以避免連接該晶片與載板之導電凸塊之破壞。

緣是，為了達成上述目的，本發明係提供一種多晶片封裝體，主要包含一載板、一第一晶片、一第二晶片、一加勁凸塊與複數個導電凸塊。第一晶片係藉複數個導電凸塊覆晶接合於載板之上表面，而第二晶片係容置於載板之開口中，且與第一晶片覆晶接合。同時，設置加勁凸塊於第一晶片與載板間，用以加強第一晶片與載板間之接合強度，故能藉由加勁凸塊限制載板與第一晶片間之熱形變，



五、發明說明 (3)

以避免連接第一晶片與載板之導電凸塊之破壞。

綜上所述，本發明之多晶片封裝體主要係利用設置於第一晶片與載板間之加勁凸塊，以加強第一晶片與載板間之接合強度，以避免連接第一晶片與載板之導電凸塊之破壞。另外，該加勁凸塊可為一虛凸塊(不具傳導訊號功能之凸塊)。此外，該加勁凸塊係可為一錫鉛凸塊(其錫鉛比為63:37)或為一高鉛凸塊(其錫鉛比為5:95)。

(四)、【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之多晶片封裝體。

圖2及圖3係顯示本發明第一及第二較佳實施例之多晶片封裝體。首先，請參考圖2，本發明之多晶片封裝體至少包含一第一晶片210、一載板220、一第二晶片230、一加勁凸塊240與複數個第一導電凸塊250及複數個第二導電凸塊260。其中，第一晶片210係藉複數個第一導電凸塊250覆晶接合於載板220之上表面224，而第二晶片230係容置於載板220之開口222中，且藉由複數個第二導電凸塊260與第一晶片210之主動表面212覆晶接合。同時，設置加勁凸塊240於第一晶片210與載板220間，用以加強第一晶片210與載板220間之接合強度。

承上所述，當第一晶片210之厚度較大或其尺寸較大時，設置於第一晶片210主動表面212內側之第一導電凸塊250較易破壞，故加勁凸塊240可設置於第一晶片210之主動



五、發明說明 (4)

表面212之內側區域(如圖2所示)。反之，當第一晶片210之厚度較薄或尺寸較小時，設置於第一晶片210主動表面212週邊之第一導電凸塊250較易破壞，故加勁凸塊240可設置於第一晶片210之主動表面212之邊緣(如圖3所示)。較佳地是，加勁凸塊240可對稱地設置於第一晶片210主動表面212之四個角落，或環繞第一晶片210主動表面212之週邊設置。

再者，可於載板220之開口222中填充一底膠280用以包覆複數個第一導電凸塊250及第二導電凸塊260，如此可進一步避免連接載板220與第一晶片210間之第一導電凸塊250，因載板220與第一晶片210之熱膨脹係數不匹配效應而破壞。此外，該載板220之下表面226可設置有複數個錐球228，用以與外界電性導通。另外，該載板220可為一基板或為一釘架(或為無外引腳形式之釘架)。

值得注意的是，由於高鉛凸塊(其錫鉛比為5:95或20:80)具有較大之接合強度，故當加勁凸塊240為一高鉛凸塊(其錫鉛比為5:95或20:80)時，加勁凸塊240可提供一較佳之接合強度以限制載板220與第一晶片210間之熱形變，故第一晶片210與載板220間之第一導電凸塊250較不易因載板220與第一晶片210之熱膨脹係數不匹配效應而破壞。

於本實施例之詳細說明中所提出之具體的實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，因此，在不超出本發明之精神及以下申請

五、發明說明 (5)

專利範圍之情況，可作種種變化實施。



圖式簡單說明

(五)、【圖式簡單說明】

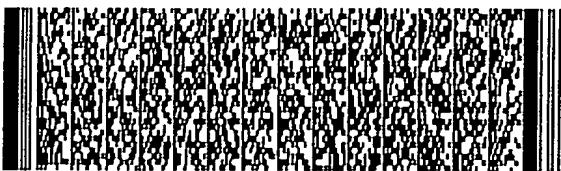
圖1為一示意圖，顯示習知一種多晶片封裝體的剖面示意圖。

圖2為一示意圖，顯示本發明第一較佳實施例之多晶片封裝體之剖面示意圖。

圖3為一示意圖，顯示本發明第二較佳實施例之多晶片封裝體之剖面示意圖。

元件符號說明：

| | |
|---------|----------|
| 110、210 | 第一晶片 |
| 120、220 | 載板 |
| 122、222 | 開口 |
| 124、224 | 載板上表面 |
| 126、226 | 載板下表面 |
| 128、228 | 錐球 |
| 130、230 | 第二晶片 |
| 160 | 導電凸塊 |
| 212 | 第一晶片主動表面 |
| 240 | 加勁凸塊 |
| 250 | 第一導電凸塊 |
| 260 | 第二導電凸塊 |
| 280 | 底膠 |



六、申請專利範圍

1. 一種多晶片封裝體，包含：

一載板，具有一上表面、一下表面及一開口；
一第一晶片，具有一主動表面，其中該第一晶片係藉複數個第一導電凸塊與該載板之該上表面覆晶接合，且該第一晶片係覆蓋該開口；
一第二晶片，該第二晶片係藉複數個第二導電凸塊與該第一晶片之該主動表面覆晶接合；以及
一加勁凸塊，係設置於該第一晶片之該主動表面並與該載板之該上表面覆晶接合。

2. 如申請專利範圍第1項所述之多晶片封裝體，其中該加勁凸塊係設置於該第一晶片之該主動表面之邊緣。

3. 如申請專利範圍第1項所述之多晶片封裝體，其中該加勁凸塊係環繞設置於該第一晶片之該主動表面之週邊。

4. 如申請專利範圍第1項所述之多晶片封裝體，其中該加勁凸塊係設置於該第一晶片之該主動表面之角落。

5. 如申請專利範圍第1項所述之多晶片封裝體，其中該加勁凸塊係設置於該第一晶片之該主動表面之內側及與該載板開口相鄰之該載板上表面間。

6. 如申請專利範圍第1項所述之多晶片封裝體，更包含一底



六、申請專利範圍

膠，該底膠係至少包覆該第一導電凸塊。

7. 如申請專利範圍第1項所述之多晶片封裝體，更包含一底膠，該底膠係至少包覆該第二導電凸塊。

8. 如申請專利範圍第1項所述之多晶片封裝體，更包含一底膠，該底膠係至少包覆該加勁凸塊。

9. 如申請專利範圍第1項所述之多晶片封裝體，其中該加勁凸塊係為一錫鉛凸塊。

10. 如申請專利範圍第1項所述之多晶片封裝體，其中該加勁凸塊係為一高鉛凸塊。

11. 如申請專利範圍第8項所述之多晶片封裝體，其中該加勁凸塊之錫鉛比為約63:37。

12. 如申請專利範圍第9項所述之多晶片封裝體，其中該加勁凸塊之錫鉛比為約5:95。

13. 如申請專利範圍第9項所述之多晶片封裝體，其中該加勁凸塊之錫鉛比為約20:80。

14. 如申請專利範圍第1項所述之多晶片封裝體，其中該載



六、申請專利範圍

板係為一基板。

15. 如申請專利範圍第1項所述之多晶片封裝體，其中該載板係為一釘架。

16. 如申請專利範圍第1項所述之多晶片封裝體，其中該載板係為一無外引腳釘架。

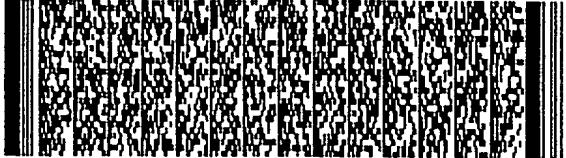
17. 如申請專利範圍第1項所述之多晶片封裝體，更包含複數個錐球形成於該載板下表面。



第 1/13 頁



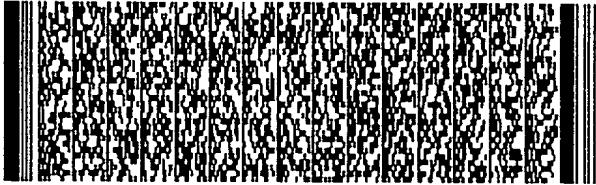
第 2/13 頁



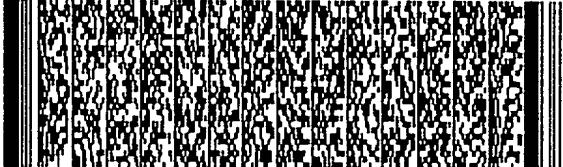
第 4/13 頁



第 5/13 頁



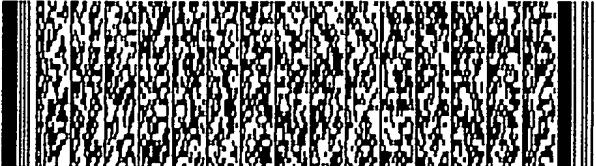
第 6/13 頁



第 7/13 頁



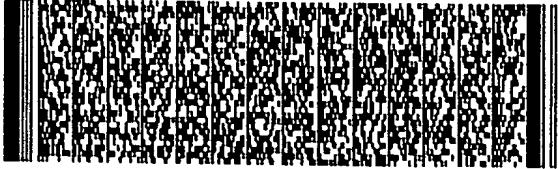
第 8/13 頁



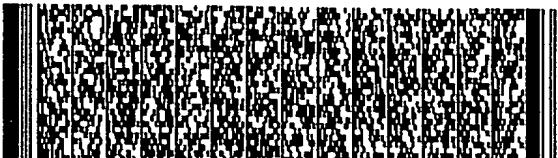
第 10/13 頁



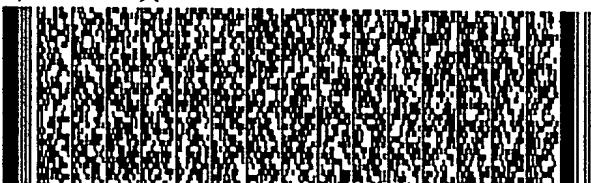
第 2/13 頁



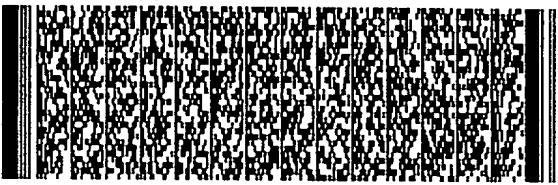
第 3/13 頁



第 5/13 頁



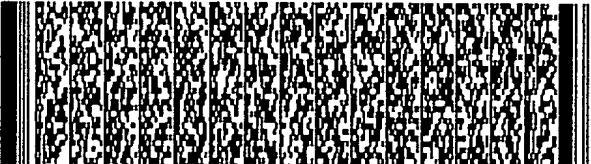
第 6/13 頁



第 7/13 頁



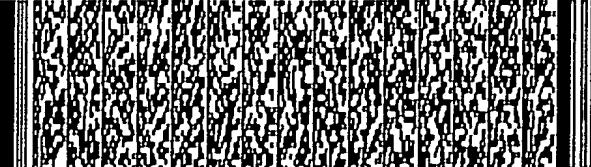
第 8/13 頁



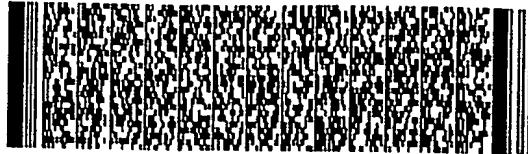
第 9/13 頁



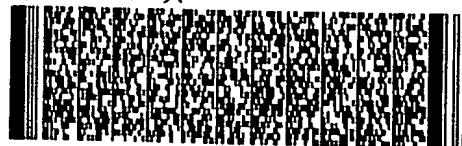
第 11/13 頁



第 12/13 頁



第 13/13 頁



圖式

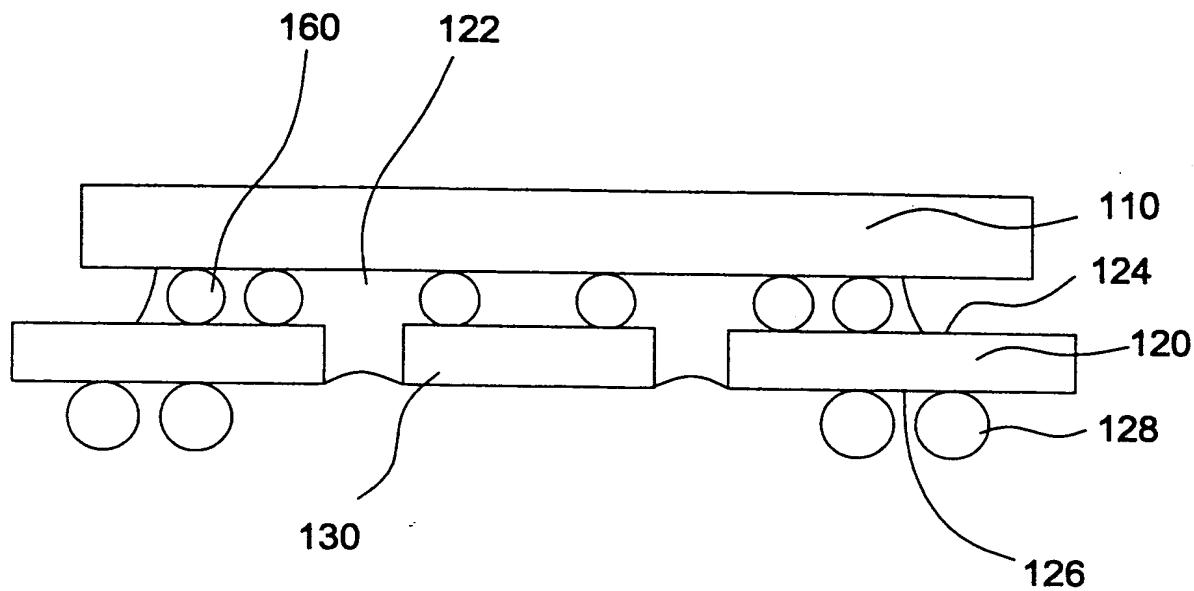


圖1

裝

訂

線

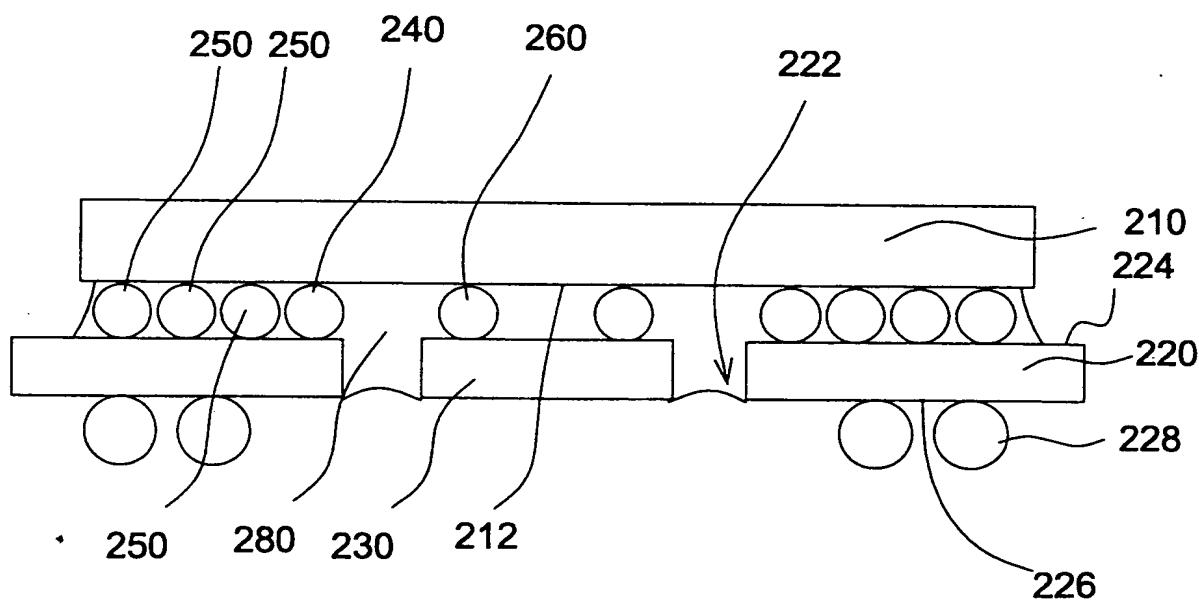


圖2

圖式

裝

訂

線

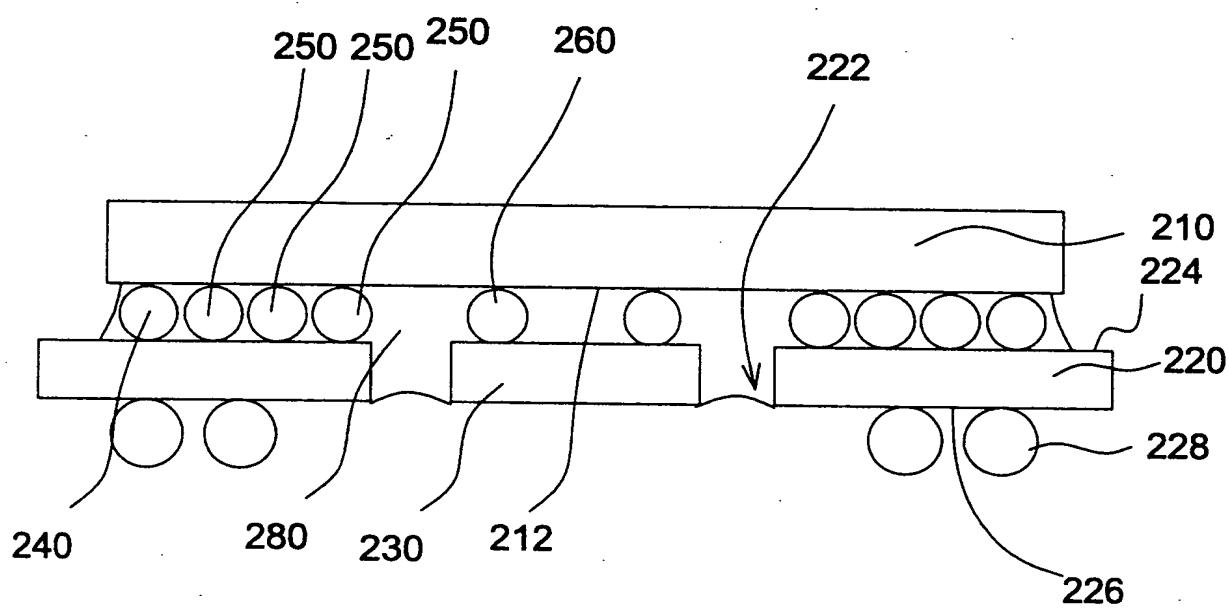


圖3